

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-253754
 (43)Date of publication of application : 20.10.1988

(51)Int.CI. H04M 3/42

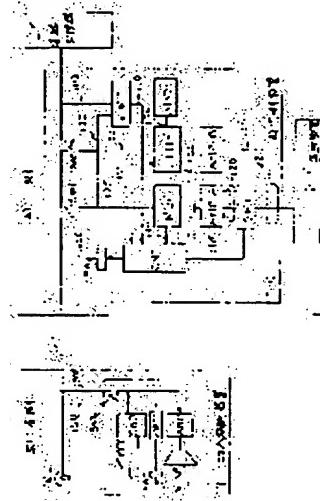
(21)Application number : 62-086764	(71)Applicant : OKI ELECTRIC IND CO LTD NIPPON TELEGR & TELEPH CORP <NTT>
(22)Date of filing : 10.04.1987	(72)Inventor : MANABE KAZUMASA USHIWATARI ATSUSHI MIYAMA MASANOBU IIDA HIDEO

(54) INCOMING RESTRICTION SYSTEM

(57)Abstract:

PURPOSE: To optionally select whether a subscriber restricts the incoming from a 3rd party or permits it by providing a signal sending means sending an incoming restriction request connected to a subscriber line to reject the incoming to a terminal equipment to a subscriber line.

CONSTITUTION: A terminal set T has a signal sending means SND connected to a subscriber line L and sending an incoming restriction request rejecting the incoming to the terminal set to the subscriber line and a control means CNT of an intra-office device TR restricts the incoming to the terminal set from the exchange EX in receiving the incoming restriction request from the subscriber line. Thus, it is possible for the subscriber to apply command of incoming restriction and its release from the terminal set to the exchange side device in response to the desire and whether or not the incoming from the 3d party is to be replied caused during reception is selected by the subscriber.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

Searching PAJ

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
 ⑰ 公開特許公報 (A) 昭63-253757

⑯ Int.Cl. ⁴	識別記号	厅内整理番号	⑮ 公開 昭和63年(1988)10月20日
H 04 M 3/50	330	A-8426-5K	
G 06 F 3/16		Z-7341-5B	
G 10 L 3/00		E-8622-5D	
9/18		G-8622-5D	審査請求 未請求 発明の数 1 (全5頁)

⑯ 発明の名称 トーキ書き込み／読み出し制御法

⑰ 特願 昭62-87172

⑰ 出願 昭62(1987)4月10日

⑯ 発明者 西山茂 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑯ 発明者 河村仙志 東京都武藏野市緑町3丁目9番11号 日本電信電話株式会社
 通信網第一研究所内

⑰ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑰ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑰ 代理人 弁理士 吉田精孝

明細書

1. 発明の名称

トーキ書き込み／読み出し制御法

2. 特許請求の範囲

デジタルパターン化したトーキ内容をメモリに書き込み、所定の読み出しアドレスに従って前記内容を読み出すトーキ書き込み／読み出し制御法において、

デジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンから構成され且つメモリの全アドレス数の $1/N$ (N は自然数) のアドレス数を有する単位パターンをメモリの0のアドレスより連続して N 回書き込み、

メモリの0アドレスより最終アドレスまでの全アドレスを読み出しアドレスとして繰返し送出するようになったことを特徴とするトーキ書き込み／読み出し制御法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタルパターン化したトーキ内容をメモリに書き込み、所定の読み出しアドレスに従って前記メモリよりトーキ内容を読み出す方法に関するものである。

(従来の技術)

従来より、デジタル交換システムでは通知用や案内用のトーキをデジタルパターン化し、これをメモリに書き込み（記憶し）、所定の読み出しアドレスを与えて該メモリの内容を読み出し、さらにこれをデジタル・アナログ変換回路、PCM回線等（以下、回線網と称す。）に送出するようになっていた。

一般に、デジタルパターンのトーキ内容はメモリの連続したアドレスに順次書き込まれ、また、通常、メモリのアドレス値は n ビットの2進符号で表わされるため、アドレス値としては所定のクロックを計数する n ビットの2進カウンタの計数値が用いられる場合多かった。

(発明が解決しようとする問題点)
 ところで、トーキの種類によりその時間長が

異なるため、そのディジタルパターンの数は必ずしもアドレス値が n ビットの2進符号で表わされるメモリの全アドレス数、即ち 2^n に一致するとは限らず、該メモリ中にディジタルパターンが詰まらない、いわゆる空きの部分を生じる場合がある。

前記空きの部分が充分小さく、これを無音の状態に変換し再生しても不自然でない程度の時間(以下、最大許容無音時間と称す。)、例えば2秒以下となる場合は周知の無通話パターンを詰込みことにより、メモリの全アドレスにディジタルパターンのトーキ内容が詰込まれたメモリと同様に扱うこともできるが、空きの部分が大きい場合には、たとえ無通話パターンを詰込んだとしても再生されるトーキに不自然に長い無音状態が生じることになり、好ましくない。

このため、前記カウンタの出力値が、詰込み時に決定されるメモリ中のトーキ内容の終了アドレス又はメモリの最終アドレスに達したことを識別し、前記空きの部分に対応するアドレス値を出

力しないよう、該カウンタをリセットし又は詰込み時に決定されるメモリ中のトーキ内容の開始アドレスに相当する初期値をセットする制御を行なわなければならないという問題点があった。

本発明は前記問題点を除去し、トーキ内容の長さに拘らず、読み出しアドレスの制御を不要となし得るトーキ詰込み／読み出し制御法を提供することを目的とする。

(問題点を解決するための手段)

本発明では前記問題点を解決するため、ディジタルパターン化したトーキ内容をメモリに詰込み、所定の読み出しアドレスに従って前記トーキ内容を読み出すトーキ詰込み／読み出し制御法において、ディジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンから構成され且つメモリの全アドレス数の $1/N$ (Nは自然数)のアドレス数を有する単位パターンをメモリの0アドレスより連続してN回詰込み、メモリの0アドレスより最終アドレスまでの全アドレスを読み出しアドレスとして繰返し送出するようになった。

最大許容無音時間又はそれ以下で最も大きな時間に相当するアドレス数 2^m ($m < n$)のエリア(以下、これを単位エリアと称す。)10に仮想的に区分する。この時、メモリ全体は 2^{n-m} 個の単位エリア10に区分されることになる。

一のトーキ内容を表わす1ビットのディジタルパターンの総数P1が 2^m 以下の場合、即ち該一のトーキ内容が前記単位エリア10内に収まる場合は、第2図(b)に示すようにトーキ内容21(図中、斜線を付した部分)、及びパターン数($2^m - P1$)の無通話パターン22からパターン(以下、これを単位パターンと称す。)20を構成し、該単位パターン20をメモリの0アドレスより最終アドレスまで詰込む。

前記単位パターン20のアドレス数は単位エリア10のアドレス数 2^m と同一であり、これはメモリ全体のアドレス数の $1/2^{n-m}$ に当たり、メモリ全体では 2^{n-m} 個の単位パターン20が詰込まれることになる。なお、 2^m とP1とが等しい場合、単位パターン20内の無通話パターン

(作用)

本発明によれば、メモリには該メモリの0アドレスより最終アドレスまでの全アドレスに対応する読み出しアドレスが繰返し送出され、ディジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンが、該メモリより繰返し送出される。

(実施例)

第1図は本発明のトーキ詰込み／読み出し制御法を適用したトーキ回路の一実施例を示すもので、図中、1-1, 1-2, ..., 1-Kはメモリ、2, 3はカウンタ、4はセレクタ、5はレジスタである。

メモリ1-1~1-Kはそれぞれ 2^n ワードよりビットの容量を有し、以下に述べるようにしてディジタルパターンのトーキ内容が詰まっている。

第2図は前記メモリ1-1~1-Kにおけるトーキ内容の割付けのようすを示すものである。まず、第2図(a)に示すようにメモリ全体を

22はなくなる。

一方、一のトーキ内容を表わすビットの数
 イジタルパターンの总数 D_2 が 2^k より大きい場合、四つ該一のトーキ内容が一の単位エリア A_0 内に収まらない場合は、第2図(c)に示すように \times 個(図示例では4個)の単位エリア A_0 に亘って組込まれるトーキ内容 S_1 (図中、斜線を付した部分)、及び該 \times 個の単位エリア A_0 の最後の単位エリアにトーキ内容 S_1 の残りとともに組込まれるところのパターン数($2^k - (D_2 - (\times - 1)) \cdot 2^{k-1}$)の無通話パターン S_2 からパターン(以下、これを単位パターンと称す。) S_0 を構成し、該単位パターン S_0 をメモリの0アドレスより最終アドレスまで組込む。

ここで、前記単位パターン30を構成する位エリア10の数Xは2のべき乗、例えば 2^r ($r < n$)となるように設定され、この際、前記単位パターン30のアドレス数はメモリ全体のアドレス数の $1 / 2^{n-(n+r)}$ に当たり、メモリ全体では $2^{n-(n+r)}$ 個の単位パターン30が埋込まれ

アドレス値を、各メモリ $1-1-1-K$ に繰返し送出する。カウンタ3はK進カウンタであり、前記カウンタ2に対するクロックと同期し且つそのK倍の周波数のクロックを計数し、即ちカウンタ2が1歩進する間にK進し、その計数値をセレクタ4に繰返し送出する。

セレクタ4はメモリ1-1-Kの出力値を受信し、カウンタ3の出力値に従って、該メモリ1-1-Kの出力値をレジスタ5に切替え、一時保持し、回線側に送出する。

前記構成によれば、各メモリ1-1~1-Kの0アドレスより最終アドレスまでにはデジタルパターンのトーキ内容もしくは最大許容無音時四以内の無通話パターンが全て組込まれており、カウンタ2から供給されるメモリアドレスの値に従って、常時、各メモリ1-1~1-Kよりデジタルパターンもしくは無通話パターンが読み出され、これらはカウンタ3から出力される値に従つてセレクタ4で順次選択され出力され、レジスタ

ることになる。

なお、トーキ内容31の長さが2¹個の単位エリヤ10にちょうど亘るような長さでない場合は、トーキ音声の速度を多少速くしたり遅くしたりして合わせるようにすれば良い。また、2¹と $(D2 - (X-1) \cdot 2^0)$ とが等しい場合、單位パターン30内の無通話パターン32はなくなれる。

このようにして、各メモリ $1-1-1-K$ に
はディジタルパターンのトーキ内容及び最大許容
無音時間以内の無通話パターンから構成され且つ
メモリの全アドレス数の $1/N$ （但し、第2図の
例では N は 2^{n-B} 又は $2^{n-(B+r)}$ であり、自然数
である。）のアドレス数を有する単位パターンが
 N 回繰り込まれている。

カウンタ2は周知の1ビットの2進カウンタであり、図示しないクロック発生器より供給される所定の周期、例えば $125\mu\text{sec}$ のクロックを計数し、メモリ $1-1-1-k$ の0アドレスより最終アドレス(2^n)までの全アドレスに対応する。

5で一時保持され、時分割多様化されて回線側に送出される。

（発明の効果）

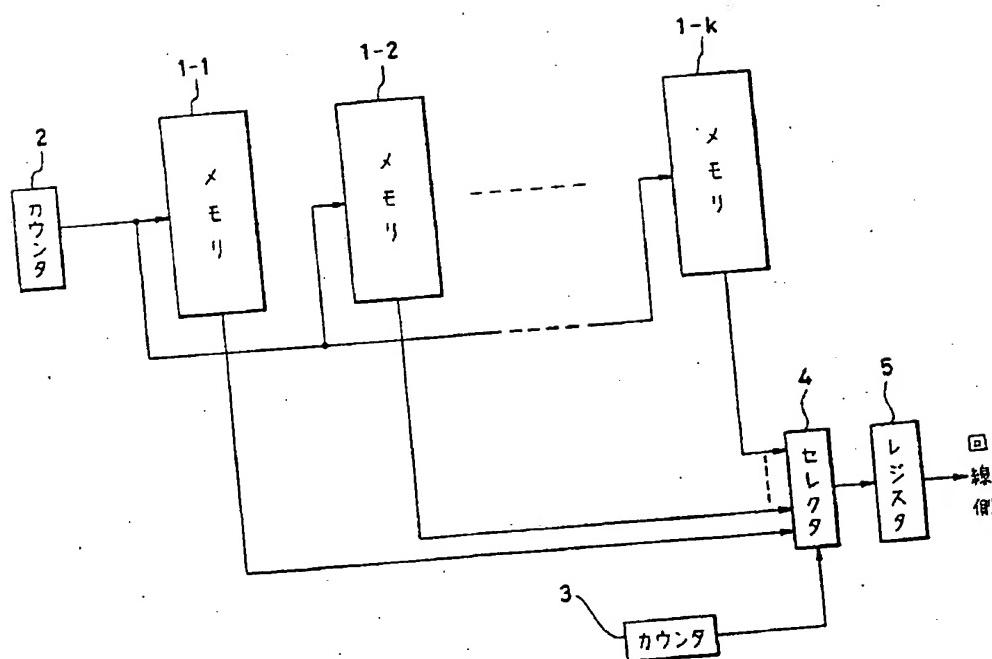
以上説明したように本発明によれば、デジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンから構成され且つメモリの全アドレス数の $1/N$ のアドレス数を有する単位パターンをメモリの0アドレスより連続してN回書き込み、メモリの0アドレスより最終アドレスまでの全アドレスを読み出しアドレスとして繰返し送出するようになしたため、メモリに該メモリの0アドレスより最終アドレスまでの全アドレスに対応する読み出しアドレスを繰返し送出するのみで、ディジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンが繰返し読み出され、従って、トーキの長さによって読み出しアドレスを制御する必要がなくなり、多種類のトーキを同一のカウンタ等より出力される読み出しアドレスで読み出し可能となる等の利点がある。

4 図面の簡単な説明

第1図は本発明のトーキ印込み／読み出し制御
法を適用したトーキ回路の一実施例を示す構成図、
第2図はトーキ内容のメモリに対する割付けのよ
うを示す説明図である。

1-1～1-k…メモリ、2…カウンタ、
4…セレクタ、5…レジスタ、20, 30…
単位パターン、21, 31…トーキ内容、
22, 32…無通話パターン。

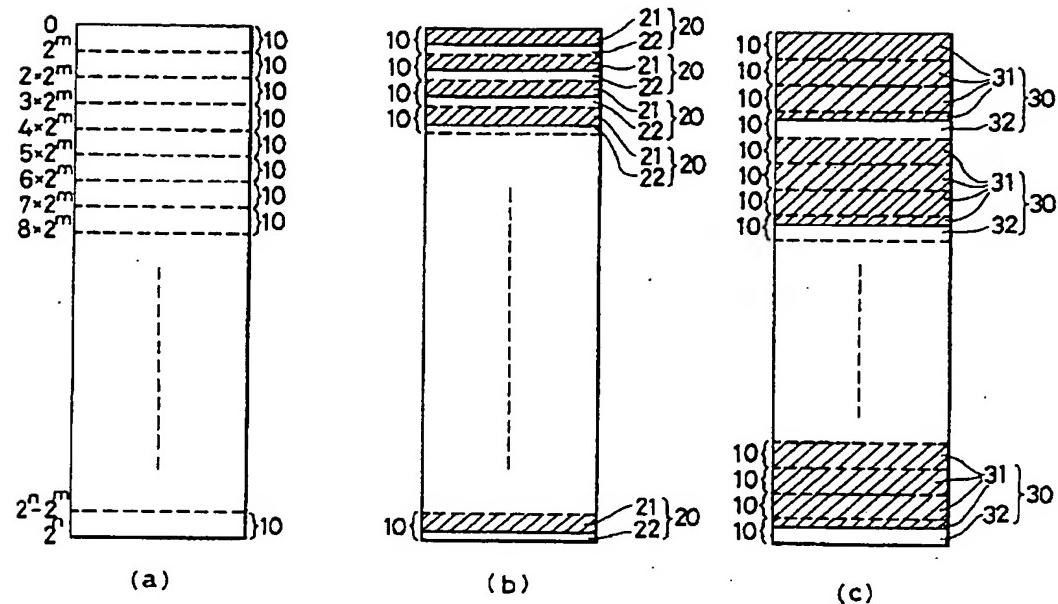
特許出願人 沖電気工業株式会社
日本电信電話株式会社
代理人弁理士 吉田 順孝



本発明を適用したトーキ回路の一実施例を示す図
第1図

10:単位エリア
20,30:単位パターン

21,31:トーキ内容
22,32:無通話パターン



トーキ内容のメモリに対する割付けを示す図

第2図